

整理番号 75310473

発送番号 116366

発送日 平成15年 4月 9日 1 / 1

拒絶査定

特許出願の番号	特願2000-225982
起案日	平成15年 4月 2日
特許庁審査官	中村 直行 9214 2S00
発明の名称	半導体装置及びその実装方法
特許出願人	N E Cエレクトロニクス株式会社
代理人	開口 宗昭

この出願については、平成14年12月25日付け拒絶理由通知書に記載した理由によって、拒絶をすべきものである。

なお、意見書および手続補正書の内容を検討したが、拒絶理由を覆すに足りる根拠が見いだせない。

備考

試験用領域を実装用領域よりも内側にすることについては、当業者が必要に応じて適宜設定し得る単なる配線デザイン上の問題であるものと認められる（たとえば実願平5-8358号（実開平6-62382号）のCD-ROM（特に図1、2における「テストパッド3」および「接続パッド7a、7b」について参照）に示されている）から、出願人の意見書における主張を採用することはできない。

上記はファイルに記録されている事項と相違ないことを認証する。

認証日 平成15年 4月 4日 経済産業事務官 塚本 佳雅

(19)日本国特許庁 (J P)

(12) 公開実用新案公報 (U)

(11)実用新案出願公開番号

実開平6-62382

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28				
31/26	G 9214-2G			
H 0 1 L 21/66	E 7630-4M			
	6912-2G			
		G 0 1 R 31/ 28	U	
		H 0 1 L 23/ 52	A	
		審査請求 未請求 請求項の数3 F D (全 3 頁) 最終頁に続く		

(21)出願番号 実願平5-8358

(22)出願日 平成5年(1993)2月5日

(71)出願人 000228578

日本ケミコン株式会社

東京都青梅市東青梅1丁目167番地の1

(72)考案者 吉田 伸一

東京都青梅市東青梅1丁目167番地の1

日本ケミコン株式会社内

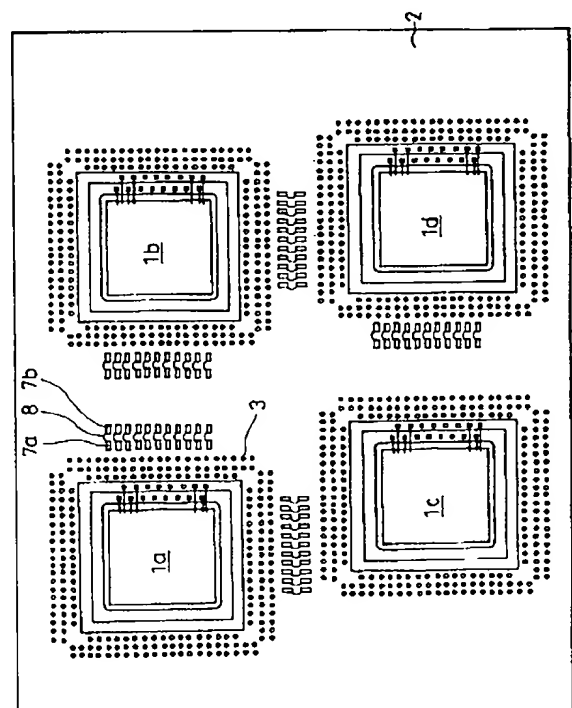
(74)代理人 弁理士 池内 義明

(54)【考案の名称】 マルチチップモジュール

(57)【要約】

【目的】 マルチチップモジュールにおいて、回路素子実装後でも電気的テストを適確に行なうことができるようにし、かつテスト時間を短縮する。

【構成】 マルチチップモジュールに、ICチップ(1a、1b、1c、1d)を実装する配線基板(2)の配線パターンを切断するごとく、近接した接続パッド(7a、7b)を設け、各ICチップを回路的に分離し、各ICチップの電気的テスト終了後に接続パッド(7a、7b)をボンディングワイヤ(8)等により接続して、マルチチップモジュールの回路を完成させる。



1

【実用新案登録請求の範囲】

【請求項1】 配線パターンが形成された配線基板に複数の回路素子をダイボンディングし、各回路素子を前記配線パターンにより相互接続して回路を構成したマルチチップモジュールにおいて、

前記配線パターンの少なくとも一部に、前記配線パターンを電気的に切り離すための切断部が形成されており、該切断部は別工程で互に電気的に接続可能であることを特徴とするマルチチップモジュール。

【請求項2】 前記配線基板上に、前記回路素子に接続された配線に電気的に接続されたテストパッドが形成されている事を特徴とする請求項1に記載のマルチチップモジュール。

【請求項3】 前記切断部の両端に接続され、別工程で前記切断部を互いに電気的に接続するための近接した接続パッドを有することを特徴とする請求項1に記載のマ

2

ルチチップモジュール。

【図面の簡単な説明】

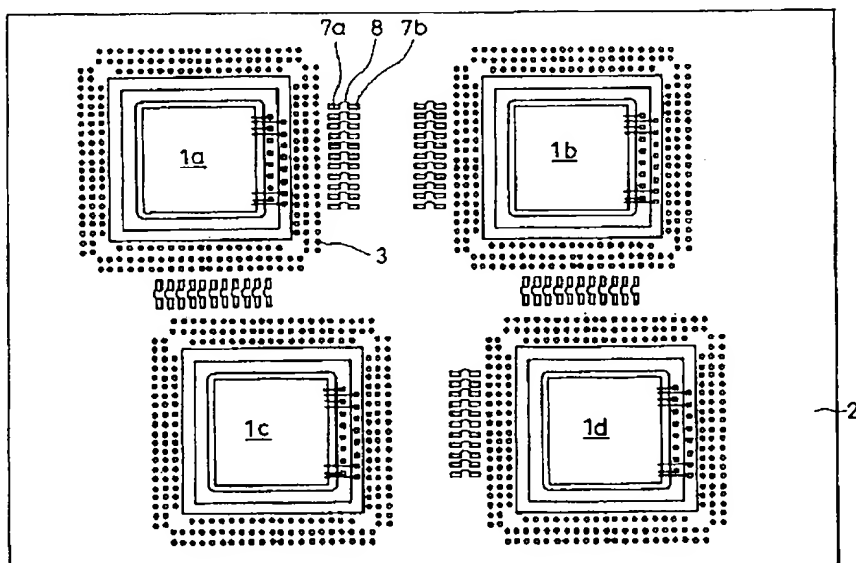
【図1】 本考案の一実施例に係るマルチチップモジュールの概略の構成を示す説明図である。

【図2】 図1のマルチチップモジュールの一部の構成を詳細に示す部分拡大図である。

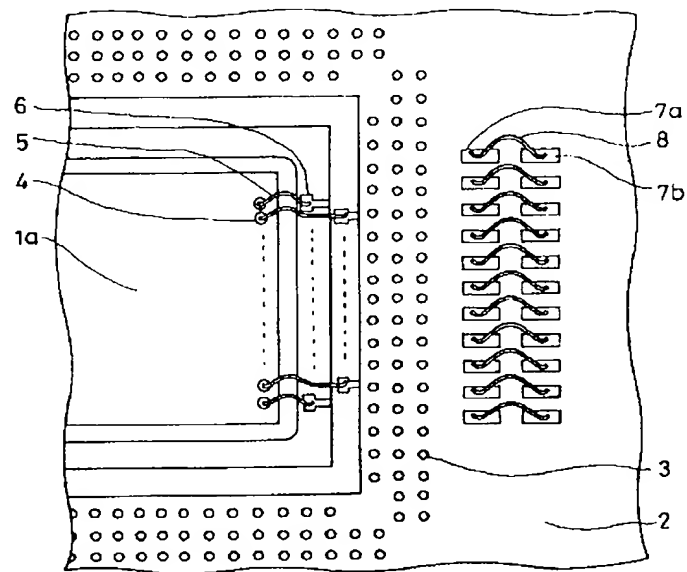
【符号の説明】

- 1 a～1 d ICチップ
- 2 配線基板
- 3 テストパッド
- 4 ボンディングパッド
- 5 ボンディングワイヤ
- 6 セカンドパッド
- 7 a, 7 b 接続パッド
- 8 ボンディングワイヤ

【図1】



【図2】



フロントページの続き

(51) Int. Cl.⁵

H01L 23/538

識別記号

庁内整理番号

F I

技術表示箇所

【考案の詳細な説明】**【0001】****【産業上の利用分野】**

本考案はマルチチップモジュールに関し、特にICチップ等の回路素子を配線基板に実装した後でも各ICチップを回路的に分離して電氣的テストができるようにする技術に関する。

【0002】**【従来の技術】**

コンピュータ等のように多量の半導体素子を使用する機器においては、ICチップ等の回路素子の集積度を高めることにより、できる限り回路素子間の配線長さを短くし、配線の導体抵抗を下げ、遅延を減少させて回路性能を向上させ、かつ回路の小型化を図ることが必要とされている。

【0003】

そのようなICチップ等の回路素子の集積度を高めるための技術として、混成ICの技術を応用して、配線基板に複数のベアICチップを直接実装して回路を構成したマルチチップモジュールがある。マルチチップモジュールはガラスエポキシやセラミック等の基板にCu等の導電体部材で配線パターンを形成した積層配線基板に、複数のベアICチップ等の回路素子を直接ダイボンディングし、ICチップの各電極と配線パターンをワイヤボンディング接続して、一つの基板上で複数のICチップ相互を効率よく接続し回路を構成したものである。マルチチップモジュールは配線基板上に直接ベアICチップを実装し回路を構成するので、ICチップをひとつずつパッケージに封止した個別半導体部品をプリント基板に実装する際に必要な外部端子や半田付のスペースが節約でき、各ICチップ相互の配線長さを短くすることができる。従って回路素子の実装面積を縮小することができるとともに、配線による損失や遅延を減少させモジュールを高速で効率よく動作させることが可能となる。

【0004】

マルチチップモジュールの部品としての信頼性を高め歩留まりを向上させるためには、品質保証されたベアICチップを使用することが第一であるが、ベアI

CチップをダイボンディングしベアICチップのボンディングパッドと配線パターンのセカンドパッドをワイヤボンディング接続した段階で、ボンディングワイヤの接続状態や、ICチップのダイボンドの際の熱衝撃等による影響をテストするために、各ICチップのそれぞれの配線について電氣的テストが実施される。

【0005】

従来、この電氣的テストは、複数のICチップが配線パターンにより相互接続され、マルチチップモジュールの回路が構成された状態で、試験機のプローブをマルチチップモジュールの外部出力端子あるいはその外部出力端子に回路的に接続する配線に接触させて行っていた。

【0006】

【考案が解決しようとする課題】

しかしながら、このような従来のマルチチップモジュールでは、各回路素子等の試験を行なう場合、基板に回路素子を実装し複数の回路素子が配線パターンにより接続された状態で電氣的テストを行なうから、試験機のプローブをマルチチップモジュールの外部出力端子等に接触させて検査しても、複数の回路素子が互いに影響し合うため適切な検査結果が得られない場合が多かった。また、配線パターンの中でも遅延により特に影響を受けるラインに接続したものは容量等の影響もあり、電氣的テストには複雑なパラメータの調整が必要であった。

【0007】

従って、本考案の目的は、マルチチップモジュールにおいて、その製造工程中に、回路素子を実装し配線接続が完了した段階においても各ICチップの特性やボンディングワイヤの接続状態等を確認するための電氣的テストをきわめて適切かつ容易に行えるようにすることである。

【0008】

【課題を解決するための手段】

上記問題点の解決のため、本考案によれば、配線パターンが形成された配線基板に複数のベアICチップ等の回路素子をダイボンディングし、各回路素子を配線パターンにより相互接続して回路を構成したマルチチップモジュールにおいて、回路素子を相互接続する配線パターンの少なくとも一部に別工程で接続可能な

接続パッドを有する切断部を形成し、配線パターンを電氣的に切断することができるようにしたものである。

【0009】

また、配線基板表面に各ICチップに接続する配線パターンに対応し接続された露出電極からなるテストパッドを形成すると好都合である。

【0010】

【作用】

このように、配線パターンに別工程で接続可能な切断部を形成することにより、回路素子を配線基板に実装しワイヤボンディング接続した段階では、各回路素子の少なくとも検査に影響ある端子は相互接続されていないよう構成でき、また遅延に影響あるラインからも切断されている。このため、各回路素子の実装後におこなわれる電氣的テストにおいて、試験機のプローブをこの切断部またはテストパッドに接続することにより、他の回路素子や配線の容量等による影響を受けることなく適確かつ容易に試験を行なうことができるとともに、複雑なパラメータの調整も不要となる。従って、マルチチップモジュールの製造工程において、電氣的テスト工程の時間が短縮され、信頼性が向上し、マルチチップモジュールの品質を高めることができる。

【0011】

【実施例】

以下、図面を参照して本考案の実施例につき説明する。

図1は本考案の一実施例に係わるマルチチップモジュールを製造過程にある状態で上から見たようすを示す。図2は図1のマルチチップモジュールに搭載された一つのICチップの周辺部の部分拡大図である。

【0012】

これらの図において、配線パターンが形成された配線基板2にベアICチップ1a～1dがダイボンディングされている。配線パターンは図示されていないが基板を構成するガラスエポキシやセラミック等の絶縁体部材内またはその上部に設けられたCu等の導電体部材からなり、絶縁体部材と交互に積層し多層配線基板を形成している。配線基板2のベアICチップ1a～1dのダイボンディング

部周辺の配線パターンの露出部にはセカンドパッド6が形成され、ベアICチップのボンディングパッド4とAu細線等のボンディングワイヤ5によりワイヤボンディング接続されている。

【0013】

また、ダイボンディング部周囲の配線基板2表面にはテストパッド3が形成されている。テストパッド3はベアICチップのボンディングパッド4に接続されるすべての配線に対応して接続し形成された露出電極である。

【0014】

またさらに、配線基板2表面の、テストパッド3のベアICチップと反対側にはそれぞれ互いに近接した接続パッド7a, 7bが形成されている。この接続パッド7a, 7bはベアICチップ1a~1d相互を接続する配線や遅延により影響を受ける配線すなわちクリティカルラインに設けられており、主にテストパッド3と接続された配線に形成される。ICチップを実装しワイヤボンディング接続した時点ではこの接続パッド7a, 7bは互いに接続されておらず、配線は切断されており、各ICチップについて電気的なテストが終了した後、別工程でAu等のボンディングワイヤ8により接続される。

【0015】

なおここでは、接続パッド7a, 7bの一组についてのみ述べたが、他の組についても同様である。

【0016】

このような構成のマルチチップモジュールにおいて、その製造工程中に、配線基板2にベアICチップ1a~1dをダイボンディングしワイヤボンディングを完了した時点では接続パッド7a, 7bは接続されおらず配線が切断されているので、例えばICチップ1aの少なくとも検査に影響ある端子は他のICチップ1b~1dと接続されておらず、また遅延により影響を受けるラインとも接続していない。このため、ベアICチップ1aは回路的に分離した状態になっている。従って、ベアICチップの実装配線後に行われる各ICチップ特性やボンディングワイヤ5の接続状態の電気的テストの際、他のICチップや配線の容量等による影響は受けることはないので、適確に試験を行なうことができるとともに従

来のような複雑なパラメータの調整が不要になる。

【0017】

また、テストパッド3はICチップのボンディングパッドに接続される各配線に対応して設けられているので、試験機のプローブをこのテストパッド3に接続することにより、ICチップにワイヤボンディング接続しているすべての配線について容易にテストすることができる。

【0018】

このようにして、マルチチップモジュールの製造工程中に、ベアICチップ1a~1dの電氣的テストが完了し、不良が発見されなかった場合には、接続パッド7a、7bがボンディングワイヤ8で接続される。これにより各ICチップ間を接続する配線が導通し、マルチチップモジュールの電子回路の形成が完了する。そして、最終的にベアICチップを含む回路全体が樹脂等により密封封止される。

【0019】

なお、本実施例では、接続パッド7a、7bをボンディングワイヤ8により接続しているが、別工程で接続できる手段であればワイヤボンディングに限定されず、半田付等により接続してもよい。

【0020】

また、本実施例では、マルチチップモジュールに回路素子としてベアICチップを実装した場合について説明したが、他の素子、例えばインダクタ、セラミックフィルタ等、であってもよい。

【0021】

【考案の効果】

以上のように、本考案によれば、配線パターンを形成した配線基板に複数のベアICチップ等の回路素子を直接実装し相互接続して回路を構成したマルチチップモジュールにおいて、配線パターンの少なくとも一部に別工程で接続可能な接続パッドを有する切断部を設けることにより、各ICチップを回路的に分離させることができる。したがって、ICチップを実装し配線接続した後に行われる電氣的テストの際、他のICチップとの接続や配線パターンの容量等による影響を

受けないので、複雑なパラメータの調整が不要となり、電氣的テストを適確かつ容易に行なうことができ、かつテスト時間を大幅に短縮できる。